



CUBIEBOARD
<http://cubie.cc>

Fucking cool, 深利的嵌入式技术和应用讨论社区

Einstein-A20 SOM 硬件手册

文档版本	作者	修改内容	审核
V1.0	suke	首版确认	

内容目录

1. 关于此文档.....4

Website: <http://cubieboard.org/>
Support: support@cubietech.com

1.1.适用范围.....	4
1.2.撰写目的.....	4
1.3.支持及参考文档列表.....	4
1.4.术语与缩写.....	4
2.产品简介.....	5
2.1 机械特性.....	6
2.2 产品技术参数.....	7
2.3 产品功能说明.....	8
3.接口说明.....	9
3.1 管脚定义.....	9
3.1.1 管脚 I/O 参数定义.....	9
3.1.2 邮票孔管脚描述.....	10
3.1.3 底部贴片脚管脚定义.....	15
3.2 工作条件.....	15
4.设计指导.....	16
4.1 一般设计规则和要求.....	16
4.2 供电电路设计.....	16
4.3 射频电路设计.....	16
4.4 EMC 和 ESD 设计建议.....	16
4.5 PCB 焊盘设计及散热建议.....	17

1.关于此文档

1.1.适用范围

此文档针对嵌入式类产品的用户设计,仅适用于 Einstein-A20 核心板做产品的硬件开发指导。用户需按照此文档要求和指导进行设计,该文档仅适用于 Einstein-A20 产品的硬件应用开发。

1.2.撰写目的

此文档给模块产品使用者提供了设计开发依据。通过阅读此文档,用户可以对本产品有整体认识,对产品的技术参数有明确的了解,并可在此文档基础上顺利完成嵌入式类产品设备的应用开发。

此硬件开发文档不仅提供了产品功能特点和技术参数,还提供相关电路设计指导。旨在给用户提供一个较为全面的设计参考。

1.3.支持及参考文档列表

除此硬件开发文档之外,相关软件文档可访问 <http://cubieboard.org/> 下载.

1.4.术语与缩写

2.产品简介

本产品是一款双核 ARM 主控的核心功能模块,具有体积小、重量轻、可靠性高等优点,可以广泛应用于工控,医疗,教育,通讯,家庭多媒体,互联网应用,车载,广告等多个领域。该模块的功能特点如下:

- 1.主控 CPU 采用 Dual-Core Cortex®-A7 CPU 架构 ,GPU 采用 Mali400MP2 架构 .
- 2.支持 H.264 2160p 视频播放; 1080p@30fps 或 720p@60fps 视频编码
- 3.支持双路 5M CMOS sensor。
- 4.支持 HDMI, LVDS, TV decoder 等直接输出.
- 5.支持内置 WiFi,Bluetooth 无线通信模块可选.

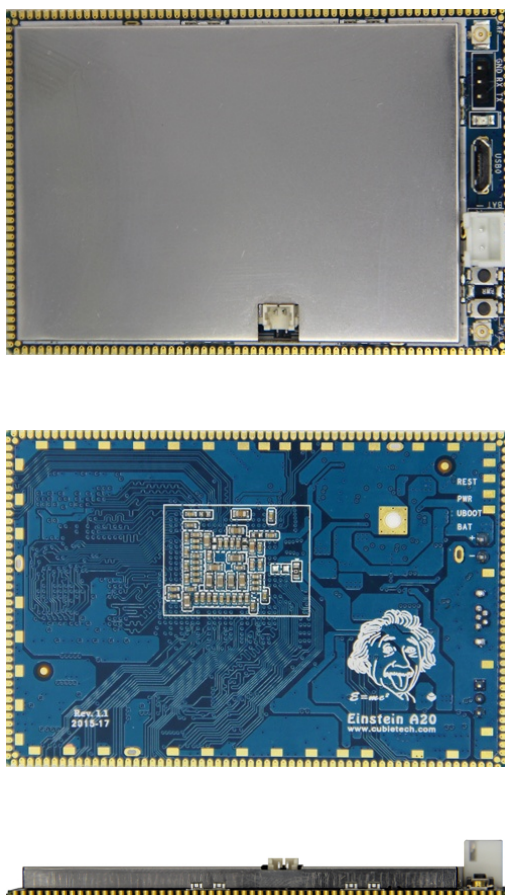


图 2-1 产品实物图

2.1 机械特性

本产品模块共有 245PIN。除了 200 个邮票孔信号管脚外，还包含用于改善接地性能的散热地焊盘 41 个，以及电阻触控接口 4 个，均匀分布在 PCB 底部。封装尺寸是 73.8mm*49.8mm，高度是 3.5mm。Pin 1 的位置由屏蔽罩的丝印来标识，其对应的 PCB 顶层亦有丝印标识，图 2-2 是本产品外形尺寸类型图（单位：mm）。

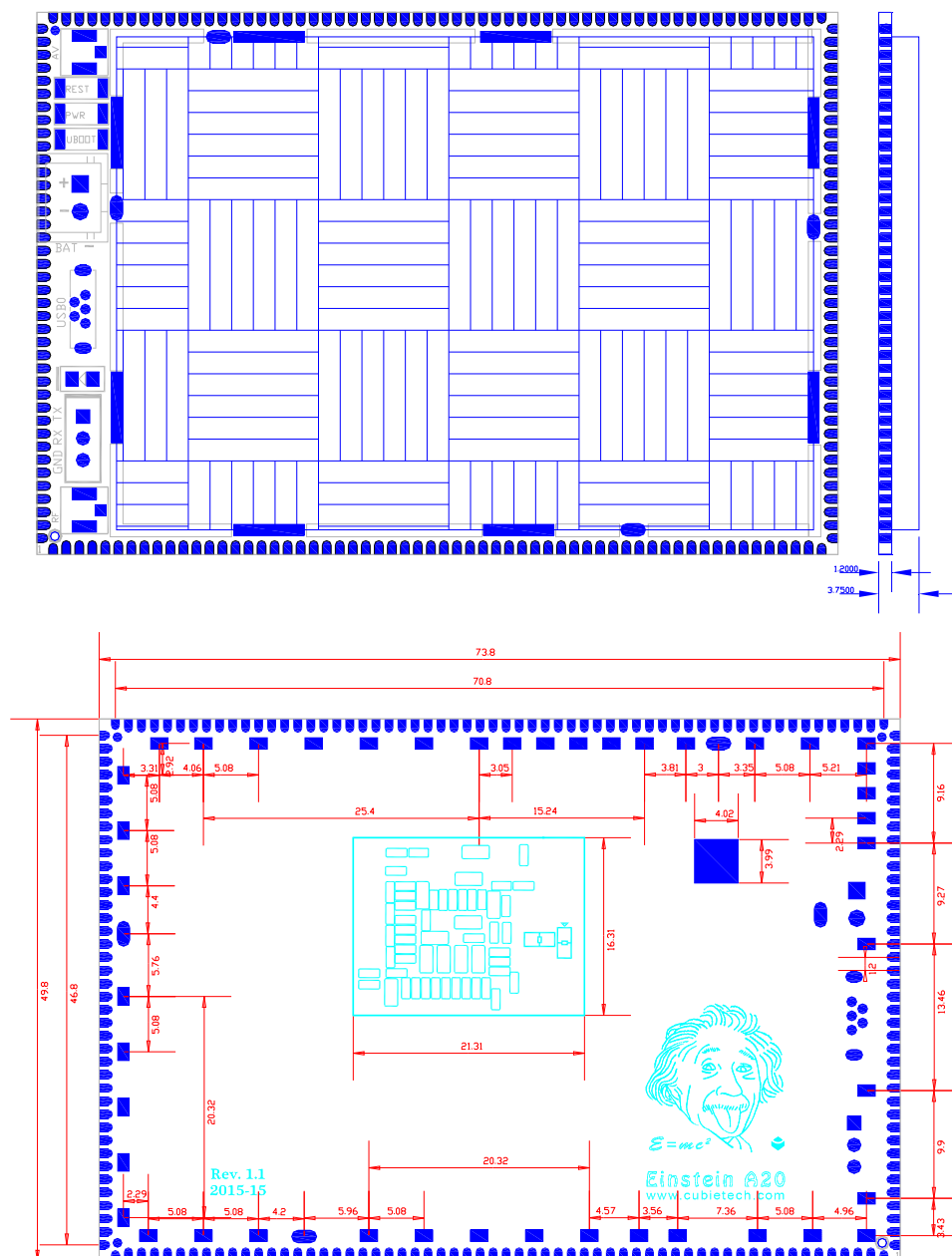


图 2-2 产品外形尺寸类型图

Website: <http://cubieboard.org/>
Support: support@cubietech.com

2.2 产品技术参数

标题	参数项	规格说明	
机械特性	尺寸大小	73.8mm*49.8mm*3.5mm	
	重量	TBD(以最终是否带屏蔽罩而定)	
	封装类型	邮票孔	
基带	处理器架构	CPU: Dual Cortex-A7; GPU: Mali400 MP2	
	存储器	1GByte DDR3/4GByte eMMC Flash	
	最大功耗	TBD	
	电压	5V	
	工作电流	峰值电流	TBD
		正常工作平均电流	TBD
		待机电流	TBD
	视频输出接口	HDMI 接口	一路
		LVDS/RGB LCD 接口	两路
		TVOUT 模拟信号接口	四路
	视频输入接口	TSI/CSI 接口	两路
		TVIN 模拟信号接口	四路
	音频输入输出接口	PCM支持8bit A-law, μ -law 和8/16 bit 线性采样	
		IIS支持8-channel 和2-channel 输入	
		AC97支持2-channel 和 6-channel音频输出	
		支持双路 MIC 输入	
		支持 FM R/L 输入	
		支持 Headphone R/L 输出	
		支持 SPDIF 输出	
	EMAC/GMAC 通信接口	支持 10/100/1000Mbps MII/RGMII 物理接口	
	IIC 通信接口	支持四路 IIC 总线接口	
	UART 通信接口	支持最多八路 UART 接口	
	SPI 通信接口	支持最多四路 SPI 接口	
	USB 通信接口	支持三路 USB 接口, 板上 Micro-USB 为 device	
	RTP 触控端口	支持 12bit SAR ADC	
	PS2 通信端口	支持双路 PS2 兼容 IBM 标准	
	IR 通信端口	双路 IR 支持 CIR, MIR 和 FIR 模式	
	CAN 总线通信端口	支持 CAN2.0 A/B 协议标准	
	LRADC 采样端口	支持 6bit 分辨率 ADC 采样	
	PWM 调制端口	支持双路 PWM 输出	
	Smart Card Reader 端口	支持 ISO /IEC 7816 - 3 和 EMV2000 规范	
SATA 主控端口	支持 SATA 1.5G/S 和 3.0G/S		
JTAG 通信接口	支持双路 JTAG 调试端口		
射频(可选)	WiFi+BT 无线通信模组	支持 WiFi 和 Bluetooth 无线通信模组可选.	

2.3 产品功能说明

本产品基带部分主要包括以下信号组：音频接口信号、视频接口信号、MII 接口信号、USB 接口信号、I2C 接口信号、UART 接口信号、JTAG 接口信号、ADC 采样信号，PWM 调制输出信号、SATA 数据传输信号、电源状态指示灯信号、模块开机、复位信号及与多个 GPIO 端口复用的 AP 控制信号、电源和地等，图 2-3 是系统连接框架结构图。

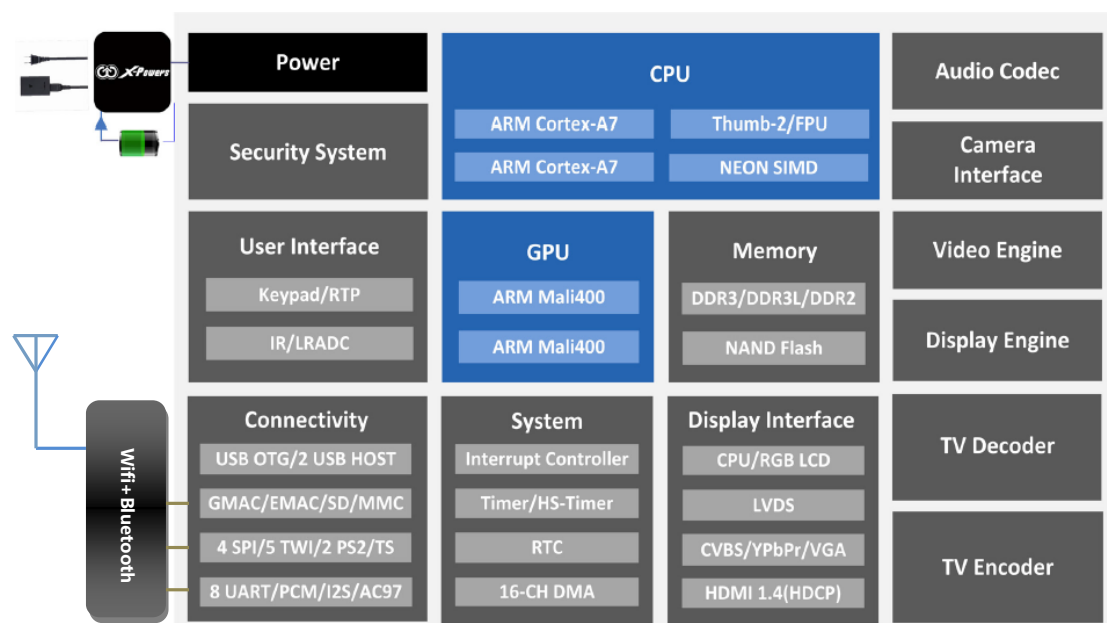


图 2-3 系统连接框架结构图

3.接口说明

3.1 管脚定义

3.1.1 管脚 I/O 参数定义

本产品的 I/O 参数定义如表 3-1 所示。

表 3-1 I/O 参数定义

管脚属性标识符号	描述
DO	数字信号输出管脚
DI	数字信号输入管脚
IO	输入/输出信号管脚
AI	模拟信号输入管脚
AO	模拟信号输出管脚
TVI	TVIN 管脚
TVO	TVOUT 管脚
PI	电源输入管脚
PO	电源输出管脚
G	接地管脚
PMU	电源管理单元
AG	模拟信号接地管脚
PU	管脚内部上拉
RF	射频天线管脚

3.1.2 邮票孔管脚描述

PIN#	I/O	Type	Multi-funtion Description
1	PG5	TSI1	TS1_D1/CSI1_D1/SDC1_D3/CSI0_D9
2	PG6		TS1_D2/CSI1_D2/UART3_TX/CSI0_D10
3	PG7		TS1_D3/CSI1_D3/UART3_RX/CSI0_D11
4	PG8		TS1_D4/CSI1_D4/UART3_RTS/CSI0_D12
5	PG9		TS1_D5/CSI1_D5/UART3_CTS/CSI0_D13
6	PG10		TS1_D6/CSI1_D6/UART4_TX/CSI0_D14
7	PG11		TS1_D7/CSI1_D7/UART4_RX/CSI0_D15
8	G	RF	GND
9	RF		RF
10	G		GND
11	PB5	IIS	I2S_MCLK/AC97_MCLK
12	PB7		I2S_LRCK/AC97_SYNC
13	PB12		I2S_DI/AC97_DI/SPDIF_DI
14	PB6		I2S_BCLK/AC97_BCLK
15	PB8		I2S_DO0/AC97_DO
16	PI0	IIC	TWI3_SCK
17	PI1		TWI3_SDA
18	PI2		TWI4_SCK
19	PI3		PWM1/TWI4_SDA
20	PI11	SPI	SPI0_CLK/UART5_RX/EINT23
21	PI10		SPI0_CS0/UART5_TX/EINT22
22	PA11	MII	MDC/UART1_RX
23	PA15		ECRS/GTXCK/UART7_RX/UART1_DSR/I2S1_LRCK
24	PA13		ETXEN/GTXCTL/UART6_RX/UART1_CTS
25	PA17		ETXERR/CAN_RX/UART1_RING/I2S1_DI
26	PA16		ECOL/GCLKIN/CAN_TX/UART1_DCD/I2S1_DO
27	PA14		ETXCK/UART7_TX/UART1_DTR/I2S1_BCLK
28	PA12		MDIO/UART6_TX/UART1_RTS
29	PA10		ERXDV/GRXCTL/UART1_TX
30	PA8		RXCK/SPI3_MISO
31	PA9		ERXERR/SPI3_CS1/I2S1_MCLK
32	PA7		TXD0/SPI3_MOSI
33	PA6		TXD1/SPI3_CLK
34	PA5		TXD2/SPI3_CS0
35	PA4		TXD3/SPI1_CS1
36	PA3		RXD0/SPI1_MISO/UART2_RX

Website: <http://cubieboard.org/>
 Support: support@cubietech.com

37	PA2		RXD1/SPI1_MOSI/UART2_TX
38	PA1		RXD2/SPI1_CLK/UART2_CTS
39	PA0		RXD3/SPI1_CS0/UART2_RTS
40	PI14	PS2	PS2_SCK1/TCLKIN0/EINT26/SPI0_CS1
41	PI15		PS2_SDA1/TCLKIN1/EINT27/SPI1_CS1
42	PI13	CLKO	SPI0_MISO/UART6_RX/CLK_OUT_B/EINT25
43	PB2	PWM	PWM0
44	PB4	IR	IR0_RX
45	PB3		IR0_TX/SPDIF_MCLK/STANBYWFI
46	PB9	IO	I2S_DO1
47	PB10	IO	I2S_DO2
48	PB13	SPIDF	SPI2_CS1/SPDIF_DO
49	PB11	IO	I2S_DO3
50	PB16	SPI	JTAG_DO0/SPI2_MOSI
51	PB14		JTAG_MS0/SPI2_CS0
52	PB15		JTAG_CK0/SPI2_CLK
53	PB17		JTAG_DI0/SPI2_MISO
54	PB18	IIC	TWI1_SCK---(PU=2K)
55	PB19		TWI1_SDA---(PU=2K)
56	PB20		TWI2_SCK
57	PB21		TWI2_SDA
58	PH27	LCD1	LCD1_VSYNC/ETXERR/KP_OUT7/SDC1_D3/CSI1_VSYNC
59	PH26		LCD1_HSYNC/ECOL/KP_OUT6/SDC1_D2/CSI1_HSYNC
60	PH25		LCD1_DE/ECRS/KP_OUT5/SDC1_D1/CSI1_FIELD
61	PH24		LCD1_CLK/ETXCK/KP_OUT4/SDC1_D0/CSI1_PCLK
62	PH2		LCD1_D2/UART3_RTS/EINT2/CSI1_D2
63	PH1		LCD1_D1/UART3_RX/EINT1/CSI1_D1
64	PH0		LCD1_D0/UART3_TX/EINT0/CSI1_D0
65	PH5		LCD1_D5/UART4_RX/EINT5/CSI1_D5
66	PH7		LCD1_D7/UART5_RX/MS_CLK/EINT7/CSI1_D7
67	PH3		LCD1_D3/UART3_CTS/EINT3/CSI1_D3
68	PH4		LCD1_D4/UART4_TX/EINT4/CSI1_D4
69	PH6		LCD1_D6/UART5_TX/MS_BS/EINT6/CSI1_D6
70	PH15		LCD1_D15/ETXD2/KP_IN5/SMC_VPPPP/EINT15/CSI1_D15
71	PH10		LCD1_D10/ERXD1/KP_IN2/MS_D2/EINT10/CSI1_D10
72	PH8		LCD1_D8/ERXD3/KP_IN0/MS_D0/EINT8/CSI1_D8
73	PH13		LCD1_D13/PS2_SDA1/SMC_RST/EINT13/CSI1_D13
74	PH11		LCD1_D11/ERXD0/KP_IN3/MS_D3/EINT11/CSI1_D11
75	PH12		LCD1_D12/PS2_SCK1/EINT12/CSI1_D12
76	PH9		LCD1_D9/ERXD2/KP_IN1/MS_D1/EINT9/CSI1_D9
77	PH14		LCD1_D14/ETXD3/KP_IN4/SMC_VPPEN/EINT14/CSI1_D14

78	PH17		LCD1_D17/ETXD0/KP_IN7/SMC_VCCEN/EINT17/CSI1_D17	
79	PH16		LCD1_D16/ETXD1/KP_IN6/SMC_DET/EINT16/CSI1_D16	
80	PH20		LCD1_D20/ERXDV/CAN_TX/EINT20/CSI1_D20	
81	PH19		LCD1_D19/ERXERR/KP_OUT1/SMC_SDA/EINT19/CSI1_D19	
82	PH18		LCD1_D18/ERXCK/KP_OUT0/SMC_SLK/EINT18/CSI1_D18	
83	PH22		LCD1_D22/EMDIO/KP_OUT2/SDC1_CMD/CSI1_D22	
84	PH23		LCD1_D23/ETXEN/KP_OUT3/SDC1_CLK/CSI1_D23	
85	PH21		LCD1_D21/EMDC/CAN_RX/EINT21/CSI1_D21	
86	PD27	LCD0	LCD0_VSYNC/SMC_SDA	
87	PD26		LCD0_HSYNC/SMC_SLK	
88	PD25		LCD0_DE/SMC_RST	
89	PD24		LCD0_CLK/SMC_VCCEN	
90	PD23		LCD0_D23/SMC_DET	
91	PD22		LCD0_D22/SMC_VPPPP	
92	PD21		LCD0_D21/SMC_VPPEN	
93	PD20		LCD0_D20/CSI1_MCLK	
94	PD19		LCD0_D19/LVDS1_VN3	
95	PD18		LCD0_D18/LVDS1_VP3	
96	PD17		LCD0_D17/LVDS1_VNC	
97	PD16		LCD0_D16/LVDS1_VPC	
98	PD15		LCD0_D15/LVDS1_VN2	
99	PD14		LCD0_D14/LVDS1_VP2	
100	PD13		LCD0_D13/LVDS1_VN1	
101	PD12		LCD0_D12/LVDS1_VP1	
102	PD11		LCD0_D11/LVDS1_VN0	
103	PD10		LCD0_D10/LVDS1_VP0	
104	PD9		LCD0_D9/LVDS0_VN3	
105	PD8		LCD0_D8/LVDS0_VP3	
106	PD7		LCD0_D7/LVDS0_VNC	
107	PD6		LCD0_D6/LVDS0_VPC	
108	PD5		LCD0_D5/LVDS0_VN2	
109	PD4		LCD0_D4/LVDS0_VP2	
110	PD3		LCD0_D3/LVDS0_VN1	
111	PD2		LCD0_D2/LVDS0_VP1	
112	PD1		LCD0_D1/LVDS0_VN0	
113	PD0		LCD0_D0/LVDS0_VP0	
114	AI		TVI	TVIN3
115	AI			TVIN2
116	AI			TVIN1
117	AI			TVIN0
118	AO		TVO	TVOUT0

Website: <http://cubieboard.org/>
Support: support@cubietech.com

119	AO		TVOUT1
120	AO		TVOUT2
121	A	Audio Codec	HPCOM
122	A		HPOUTR
123	A		HPOUTL
124	A		HPCOMFB
125	A		FMINL
126	A		FMINR
127	A		VMIC
128	A		MICIN1
129	A		MICIN2
130	A		AGND
131	A	ADC	LRADC1
132	A		LRADC0
133	A	SATA	RXM_SATA
134	A		RXP_SATA
135	A		TXM_SATA
136	A		TXP_SATA
137	DO	HDMI	TXCN_HDMI
138	DO		TXCP_HDMI
139	DO		TX0N_HDMI
140	DO		TX0P_HDMI
141	DO		TX1N_HDMI
142	DO		TX1P_HDMI
143	DO		TX2N_HDMI
144	DO		TX2P_HDMI
145	IO		SDA_HDMI
146	IO		SCL_HDMI
147	IO	CEC_HDMI	
148	DI	HPD_HDMI	
149	IO	PMU	GPIO0
150	IO		GPIO1
151	PI		ACIN
152	PI		ACIN
153	PO		IPSOUT
154	AO		TVOUT3/CVBS
155	G		GND
156	PI		VBUS
157	PO		LDO4
158	DO		EXTEN
159	DO		CHGLED

160	PO		LDO3
161	DI		POWERON
162	IO		GPIO3
163	DI		N_OE
164	P		VBAT
165	P		VBAT
166	P		LDO2
167	P		BAT_CH
168	DI		UBOOT_SEL
169	A	USB	DM2
170	A		DP2
171	A		DM1
172	A		DP1
173	A		DM0
174	A		DP0
175	PF1	CARD0	SDC0_D0/JTAG_DI1
176	PF0		SDC0_D1/JTAG_MS1
177	PF5		SDC0_D2/JTAG_CK1
178	PF4		SDC0_D3/UART0_RX
179	PF3		SDC0_CMD/JTAG_DO1
180	PF2		SDC0_CLK/UART0_TX
181	PE0	TS0/ CSI0	TS0_CLK/CSI0_PCLK
182	PE1		TS0_ERR/CSI0_MCLK
183	PE3		TS0_DVLD/CSI0_VSYNC
184	PE2		TS0_SYNC/CSI0_HSYNC
185	PE4		TS0_D0/CSI0_D0
186	PE5		TS0_D1/CSI0_D1
187	PE6		TS0_D2/CSI0_D2
188	PE7		TS0_D3/CSI0_D3
189	PE8		TS0_D4/CSI0_D4
190	PE9		TS0_D5/CSI0_D5
191	PE10		TS0_D6/CSI0_D6
192	PE11		TS0_D7/CSI0_D7
193	P	PO	VCC_3V
194	PB22	UART0	UART0_TX/IR1_TX
195	PB23		UART0_RX/IR1_RX
196	PG0	TS1/ CSI1	TS1_CLK/CSI1_PCLK/SDC1_CMD
197	PG1		TS1_ERR/CSI1_MLCK/SDC1_CLK
198	PG3		TS1_DVLD/CSI1_VSYNC/SDC1_D1
199	PG2		TS1_SYNC/CSI1_HSYNC/SDC1_D0
200	PG4		TS1_D0/CSI1_D0/SDC1_D2/CSI0_D8

Website: <http://cubieboard.org/>
Support: support@cubietech.com

3.1.3 底部贴片脚管脚定义

Pin#	Type	Multi-funtion Description
201~240	GND	E-Pad, need to connect to system ground
241	A	RTP_ X1
242	A	RTP_ X2
243	A	RTP_ Y1
244	A	RTP_ Y2

3.2 工作条件

SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
ACIN	Input Voltage	3.8		6.3	V
VBUS	Input Voltage	3.8		6.3	V
VTRGT	BAT Charge Target Voltage	-0.5%	4.2	+0.5%	V
ICHRG	Charge Current		1200	1800	mA
VTRGT	Backup Battery Charge Target Voltage	2.5	3.0	3.1	V
ICHRG	Backup Battery Charge Current	50	200	400	uA
IBackup	Current when use Backup Battery		10	15	uA

4.设计指导

本章提供了本产品的一般设计指导，使用者可以参考设计指导进行设计，使产品达到较好的性能。

4.1 一般设计规则和要求

用户在设计本产品外围电路时，首先要保证外部电源电路能够提供充足的供电能力，并且对于高速信号线 USB 要求控制 90ohm 差分阻抗，HDMI, LVDS 及 SATA 要求控制 100ohm 差分阻抗。对于一般信号接口，要求用户严格按照我们要求进行设计，符合接口信号电平匹配，以防电平不一致损坏模块。本产品预留 Wifi Bluetooth 模块射频指标良好，客户需要按照要求设计主板侧天线电路并做相应的阻抗控制，否则会影响到整机射频指标。

本产品的 Micro-USB 仅做 device 使用，如果用户需要 OTG 功能，需要在外围板上添加部分电路。

4.2 供电电路设计

本产品内部集成专门电源管理单元(PMU)，要求输入电源的供电能力要达到 5V/2A 以上，满足模块峰值电流需求，并且电源的均值电流也要达到 0.9A 以上。外围输入电源线应保证足够线宽，并要与地平面形成良好的回流，此外在供电电路设计中应增加百微法级储能大电容，保证瞬时供电能力，并且电源纹波控制在 100mv 以内。

4.3 射频电路设计

本产品的射频天线的接入部分支持两种射频信号接入模式，一种是邮票孔 PAD 焊盘外接形式，另一种是射频连接器方式（公版产品默认）。对于订制客户优先推荐使用邮票孔 PAD 外接的方式，由客户自行做天线相关匹配。

本产品天线外围电路设计，建议的射频电路 Layout 方案：射频线走一层，参考走二层。用户在设计 PCB 走线时需要注意：保证射频参考地点完整。

4.4 EMC 和 ESD 设计建议

用户在整机设计时应充分考虑到由于信号完整性、电源完整性引发的 EMC 问题，在模块外围电路 layout 走线时，对于电源和信号线等走线，保持 2 倍线的间距宽度，可以有效地减少信号之间的耦合，使信号有较“干净”的回流路径。外围电源电路设计时，去耦电容要摆放靠近模块电源管脚，高频高速电路和敏感电路应该达离 PCB 边缘，并且之间的布局尽量隔离，减少相互之间干扰，对敏感信号进行保护，对系统板侧可能存在干扰模块工作的电路

Website: <http://cubieboard.org/>
Support: support@cubietech.com

